0254-6124/2023/43(1)-0174-09 *Chin. J. Space Sci.* 空间科学学报

SONG Jingxing, ZHU Yan, RAO Jianing, AN Junshe. Design and Implement of High-speed Receiving Cache System of the Satellite (in Chinese). *Chinese Journal of Space Science*, 2023, **43**(1): 174–182. DOI:10.11728/cjss2023.01.220112005

星载高速串行数据处理系统设计与实现*

宋景星[1,2] 朱 岩[1] 饶家宁[1] 安军社[1]

1(中国科学院国家空间科学中心 复杂航天系统电子信息技术重点实验室 北京 100190)

2(中国科学院大学 北京 100049)

摘 要 遥感卫星图像数据量的高速增长，以及遥感卫星搭载的相机不同工作模式下产生的数据差异化处理的需求，为星间数据处理带来了巨大挑战。针对星载 Gbit·s^{-1} 级高速数据收发及文件缓存等星间数据处理面临的问题，以百兆每秒级星载高速接收缓存系统为切入点，以遥感卫星数据处理的发展为依据，在分析 SerDes 传输原理的基础上，采用模型仿真和工程验证的方法，制定了高速串行数据链路层传输协议 SSLLP（Satellite Serial Link Layer Protocol）和类文件化高速缓存的策略。在硬件设计和软件开发的基础上，最终完成了具备处理入口速率 3.2 Gbit·s^{-1} 并能以类文件化的方式缓存 64 个数据文件的星载数据处理单元的工程实现。测试结果表明，基于 SSLLP 的高速串行数据接收正确，缓存策略有效，系统高效可靠。该设计已在某型号任务中取得在轨验证，为星载高速串行数据处理系统提供了参考。

关键词 星载，高速串行总线，数据处理

中图分类号 V476.9

Design and Implement of High-speed Receiving Cache System of the Satellite

SONG Jingxing[1,2] ZHU Yan[1] RAO Jianing[1] AN Junshe[1]

1(*Key Laboratory of Electronics and Information Technology for Space Systems, National Space Science Center, Chinese Academy of Sciences, Beijing* 100190)

2(*University of Chinese Academy of Sciences, Beijing* 100049)

Abstract Recently with the development of space technology, the explosive growth of remote sensing satellite image data and the demand for multi-mode operation of a remote sensing satellite camera, have produced the differential processing of different data. At the same time, it also has brought great challenges for inter-satellite data processing. The purpose of this research is to solve the problems of inter-satellite data processing, such as gigabits per second high-speed data transceiver, datas storage, file cache

* 国家重点研发计划项目资助（2022YFF0503903）

2022-01-11 收到原稿，2022-11-03 收到修定稿

E-mail：jxsong@nssc.ac.cn

©The Author(s) 2023. This is an open access article under the CC-BY 4.0 License (https://creativecommons.org/licenses/by/4.0/)

and so on. This study investigates the development of remote sensing satellite data processing, analyzes the transmission principle of SerDes, and formulates the operation strategy of documented class of high-speed cache. Based on hardware design and software development, the project of high-speed space-borne data processing unit with 3.2 bit·s^{-1} level and 64 data documents is completed. The test results show that based on SSLLP (Satellite Serial Link Layer Protocol), the high-speed serial data reception is correct and the cache strategy is effective. Most important of all, the system is efficient and reliable. This design has been applied to some on-orbit model missions, providing a reference to the design of high-speed receiving cache system of the satellite.

Key words Space-borne, High speed serial bus, Data processing

0 引言

近年来航天技术高速发展, 人造卫星在导航、遥感、通信、科研等方面发挥着越来越重要的作用[1, 2]。其中搭载相机、光谱仪等对地观测的遥感卫星作为重要的分支之一, 在对地观测、感知等方面为环境保护、经济发展等提供了重要保障。随着相机技术的发展, 遥感卫星从胶片成像发展到光电探测成像, 无论在功能还是性能上都得到了很大提高。星载图像呈现高时间分辨率、高空间分辨率和高光谱分辨率的发展趋势。以当今进入精细观测时代的第三代遥感卫星为例[3], 其对地成像空间分辨率达到亚米级, 时间分辨率可实现每天多次重访, 光谱分辨率达到纳米级。遥感卫星相机的发展为星载数据的处理带来了巨大挑战。在实现更为精细的对地成像的同时, 获取的数据量也呈爆炸式增长, 星间数据从百兆比特每秒发展到吉比特每秒的量级。

数据处理单元是星载数传分系统的重要组成部分, 负责完成卫星数据的接收缓存和组帧下传等功能。在百兆级入口数据速率的遥感卫星任务中, 星载接收缓存系统大多采用 FPGA+SDRAM+LVDS 的架构, 完成载荷数据的传输和缓存, 在文献 [4] 中暗物质粒子探测卫星数据入口速率为 492 Mbit·s^{-1}, 采用多片 LVDS 接收载荷数据, 外部 SDRAM 进行缓存; 试验六号卫星入口速率为 558 Mbit·s^{-1}, 采用了与之类似的设计。随着数据量的增加, 原有设计从性能上已不能满足设计要求。例如, 在文献 [5, 6] 中高分五号遥感卫星搭载 6 台载荷, 具备 27 种工作模式, 载荷数据传输速率从 0.3 Gbit·s^{-1} 可变化到 2.03 Gbit·s^{-1}, 科学数据总速率为 2.3 Gbit·s^{-1}; 相机高数据量和高传输速率带来了高速数据接收的需求, 相机多模式工作状况下产生的多类型图像文件需要在星上进行数据处理, 因此也带来星上数据接收后高速缓存的需求。如果采用 FPGA+SDRAM+LVDS 的框架设计, 需要 10 片以上 LVDS 芯片完成数据接收和数片 SDRAM 完成数据缓存。显然该方案在硬件设计上显得繁杂, 同时过多的芯片控制增加了软件调度的复杂性。随着高速串行技术的发展, 星载高速串行数据处理成为星载数据处理的重要研究方向[7]。经过广泛调研后, 这里选择以 FPGA+DDR2+SerDes 为主芯片进行设计, 解决星间科学数据高入口速率和高缓存速率的问题。目前, 无论是 DDR2 还是 SerDers, 其在原理设计和地面应用方面均比较成熟, 已成功应用于多个领域[8, 9]。但是受限于航天特殊的太空环境, 星载设备需要利用高可靠性、高等级芯片进行设计, 发展较为缓慢。目前中国在航天工程领域, 面向高入口速率和高缓存能力的星载设备系统级研究相对较少[10, 11]。

本文以某型号遥感卫星数据处理单元的设计需求为背景, 分析了在该工程任务中高速串行数据的传输原理和 DDR2 缓存策略, 并完成星载高速接收缓存系统的硬件设计和 FPGA 设计, 最终实现了 Gbit·s^{-1} 级数据量的高速接收、发送, 以及按文件缓存等星间数据处理的系统级设计。此外, 对系统的理论性能进行分析, 为系统升级提供了参考。经过一系列试验验证, 结果表明高速串行数据传输稳定可靠, 系统工作稳定。本设计可为未来星载高速接收缓存系统的研究提供重要参考。

1 系统设计

在某型号遥感卫星任务中, 搭载 3 台独立的相机

单元, 在轨实现大幅宽高分辨率地面长波红外数据和目标光热红外信息的获取, 同时配备 1 台数据处理单元, 完成高速串行数据的接收、缓存、VCDU 组帧、发送等星间数据处理功能。数据处理单元与载荷图像数据之间的有效传输速率要求不小于 3.0 Gbit·s^{-1}, 并且需要对接收到的不同载荷图像数据生成相应文件进行缓存, 在卫星入境后根据 CCSDS 732.0-B-2, July 2006, AOS 空间数据链路协议组织成标准的 VCDU 传输帧完成数据下传。

系统硬件设计以 FPGA+DDR2 +SerDes 为核心。其中 FPGA 为控制单元, 主要完成外部 DDR2 和 SerDes 的底层驱动控制, 以及内部高速串行图像数据的格式解析、按文件进行调度缓存和组织传输帧等逻辑功能; SerDes 为高速串行收发器, 具备吉比特每秒量级的外部数据传输能力, 主要用于完成物理层的高速串行数据接收和发送; DDR2 SDRAM(简称 DDR2)为同步动态随机存储器, 采用时钟双边沿数据采样, 用于高速数据的缓存处理。本方案中系统结构如图 1 所示。来自载荷的高速图像数据首先经 SerDes 收发器传输至数据处理单元, 由 FPGA 完成数据格式解析和处理, 然后根据文件类型在外部高速缓存芯片 DDR2 内完成数据的缓存, 并在卫星入境时将缓存数据组成传输帧, 通过 SerDes 收发器发送至数据下传单元, 完成星间数据的天地通信。

2 高速串行数据链路层通信协议设计与实现

SerDes 高速串行数据链路层通信协议是基于 tlk2711 芯片进行设计的。Tlk2711 芯片是 TI 公司的一款吉比特级高速收发器, 支持全双工工作模式, 其发送过程可认为是接收过程的逆过程[12–14]。由于 tlk2711 芯片只提供 SerDes 的物理层, 因此根据 tlk2711 的传输原理结合工程需求进行了适用于星载高速串行数据传输的链路层协议 SSLLP(Satellite Serial Link Layer Protocol)。该协议中有效数据以传输帧为基本单位进行组织和传递。传输帧由同步码字(Synchronization Pattern)、帧起始(Start Frame)、有效数据(Valid Data)、帧结束(End Frame)四部分组成。传输帧的格式如图 2 所示。

同步码字(SP): 在系统上电或者复位后, 收发双方处于失步状态, 需要发送同步码进行逗码检测(Comma Detect), 完成数据自主同步; 在未发送有效数据时, 仍需要发送同步码, 保持数据通道不中断; 此外, 在传输帧之间也需要发送同步数据, 完成对数据的修正和对齐, 保障链路同步。本设计中 SP 由 D 码 D5.6 和 K 码 K28.5 共同构成。

帧起始(SF): 发送在有效数据前, 通知接收端即将发送有效数据; SF 由 2 个字节 K 码 K28.2/K27.7 构成。

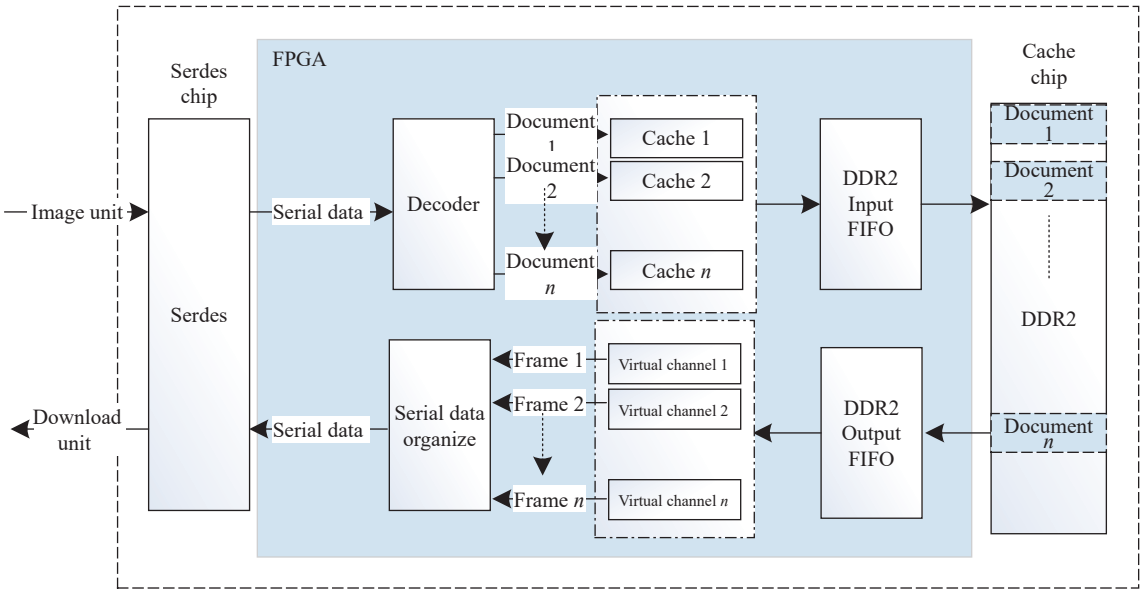

图 1 数据处理系统结构

Fig. 1 Data processing system structure

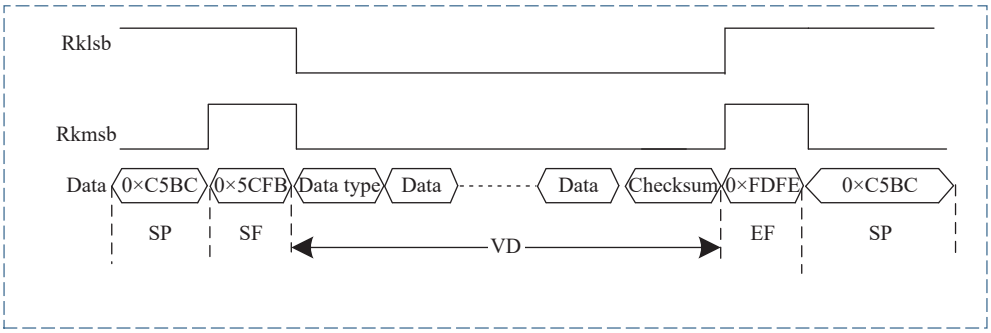

图 2 SerDes 传输帧格式

Fig. 2 Format of transmission frame of SerDes

有效数据(VD): 由数据包类型、科学数据、校验和三部分构成。有效数据的前 2 字节为数据包类型, 对应后端不同的缓存文件; 中间为 N 字节科学数据, 该区域长度可变, 增强了设计的适应性; 最后 2 字节为有效数据的校验和, 判断数据在传输过程中是否正确。这里校验和采用了对有效数据进行累加的计算方法。

帧结束(EF): 有效数据结束后发送, 通知接收端传输帧结束。EF 由 2 个字节 K 码 K29.7/K30.7 构成。

本设计中, tlk2711 链路层协议的流程如图 3 所示, 其实现过程如下。

(1) 在系统上电或者复位后发送同步码(D5.6/K28.5)进行数据自主同步。

(2) 设置控制信号 tklsb 和 tkmsb 为高电平, 发送传输帧的帧起始信息(K28.2/K27.7)。

(3) 设置控制信号 tklsb 和 tkmsb 为低电平, 进行有效数据的传输, 其中有效数据第一个字节为数据类型。

(4) 有效数据发送完毕后, 设置控制信号 tklsb 和 tkmsb 为高电平, 发送帧尾标识(K29.7/K30.7), 完成数据帧的发送。

(5) 在接收端, tlk2711 芯片在恢复时钟 rxclk 作用下, 自主进行逗点检测, 完成数据边界匹配并恢复数据信号和控制信号。

(6) 当检测到控制信号 rklsb 和 rkmsb 为高电平且数据为 0 x5 CFB, 此时接收到的是传输帧的帧起始信息, 表示传输帧开始。

(7) 当检测到控制信号 rklsb 和 rkmsb 为低电平时, 接收到的第一个字节为数据类型, 控制 FPGA 根据数据类型将数据缓存至对应 FIFO 中, 同时进行数据累加和的计算, 并与数据最后 16 bit 进行比对; 如果一致则说明数据传输正确, 否则传输过程异常。

(8) 当检测到控制信号 rklsb 和 rkmsb 为高电平且数据为 0xFDFE, 此时接收到的是传输帧的帧尾信息, 表示传输帧结束。

(9) 传输过程中, 如果 rklsb 或 rkmsb 为高, 表示传输链路异常, 数据失步, 此时对应数据为 0x00, 数据错误, 需等待下次发送同步数据重新建立连接。

3 高速缓存策略

从高速串行总线接收到的科学数据采取分级缓存的策略, 以文件形式存入 DDR2 中。DDR2 采用固定分区的设计原则, 根据文件类型预设缓存区, 每个分区缓存对应一种文件。本设计支持 64 个不同文件的缓存。

DDR2 控制逻辑由 FPGA 完成, 设计采用自顶向下的模块化设计理念。顶层结构包括 DDR2 控制模块、DDR2 地址管理模块、DDR2 桥连模块和输出缓存模块, 设计架构如图 4 所示。其中, DDR2 控制模块包含 DDR2 控制核模块、DDR2 读控制模块、DDR2 写控制模块; DDR2 核采用 Xilinx 公司的 MIG IP 核实现, 完成 DDR2 底层读写操作与用户接口的转换及刷新等功能; DDR2 的读模块和写模块分别利用 DDR2 控制核例化的用户接口, 完成批量数据的连续读操作或者写操作的逻辑控制; DDR2 地址管理模块根据文件类型和 DDR2 的工作状态, 产生物理接口的地址信号。DDR2 的桥梁模块作为 DDR2 用户接口与外部接口的桥梁, 实现 DDR2 的自主调度管理: 监测高速串行 FIFO 状态, 完成数据写入 DDR2; 监测输出 FIFO 状态, 完成缓存数据的读出。DDR2

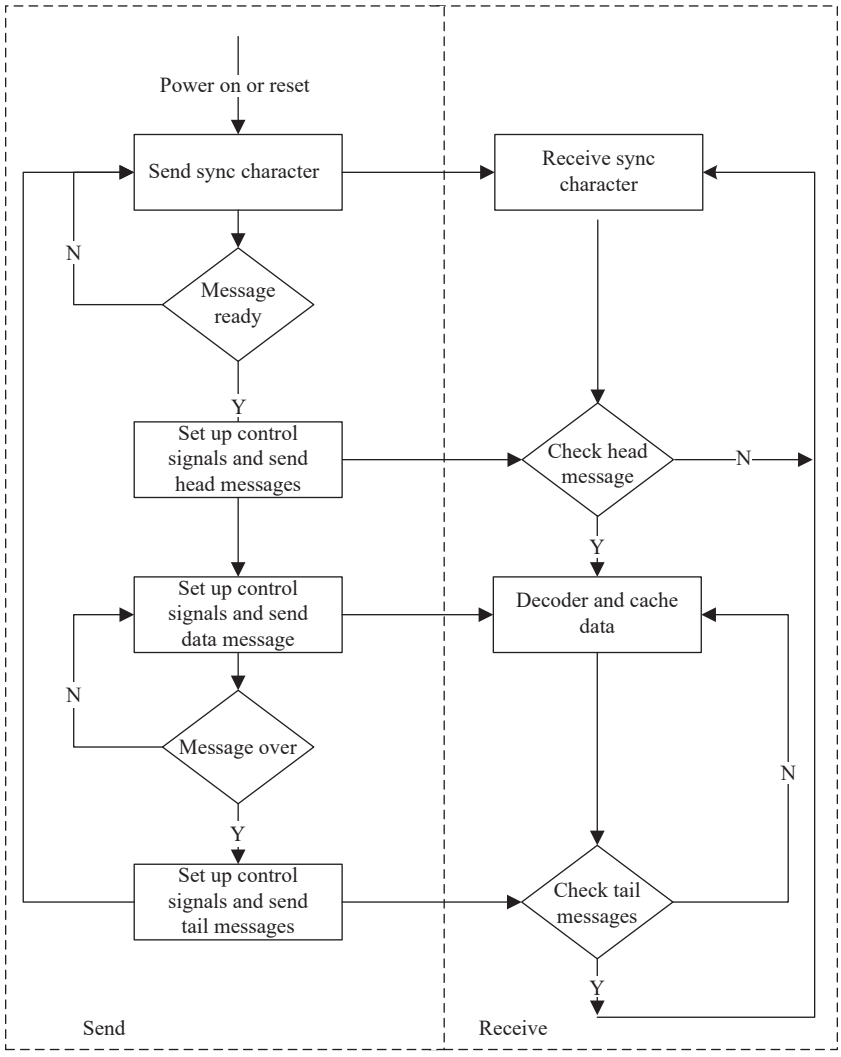

图 3 SerDes 传输流程

Fig. 3 Transmission flow chart of SerDes

输出缓存模块主要完成输出数据的二级缓存,其中第一级缓存 DDR2 一次读操作的数据量,第二级进行标准 VCDU 帧缓存。

在 DDR2 的控制策略中,写操作优先级高于读操作,保证写入的数据不会丢失。同时,要求写入的速率不大于读出的速率,保证 DDR2 缓存数据不会溢出。此外,为提高使用效率,DDR2 采用 8 位突发读写模式。DDR2 一次数据的写入和读出以页为单位,每个读写周期 FPGA 需要向 DDR2 连续发送 128 个地址,不间断写入或读出 1024 个数据。

高速串行数据的文件缓存策略分为以下 3 个步骤。

步骤 1 FPGA 通过 tlk2711 传输帧中有效数据的第一个 16 bit 区分数据包类型,并以此定义对应数据为一种数据文件。

步骤 2 FPGA 为每一种数据文件建立对应的一级 FIFO 进行数据缓存,FIFO 阈值的最小值设置为包长度的 2 倍;当某文件 FIFO 半满信号有效后,文件数据输出到 DDR2 的输入缓存 FIFO 进行二级缓存,与此同时输出文件的编号信息。

步骤 3 当二级缓存 FIFO 内数据达到 DDR2 的一次页写操作时,FPGA 调用 DDR2 地址管理模块,根据文件编号信息,产生 DDR2 的写地址,将该文件写入对应的缓存区。

本设计中将文件的包长设定为 DDR2 一次写操作的数据量,简化了数据流的操作逻辑,提高了数据传输的有效性。与 DDR2 的写过程类似,在 DDR2 输出端也设置了输出缓存 FIFO。对于 DDR2 的读取采取如下策略:只有在 DDR2 不处于写操作的过程

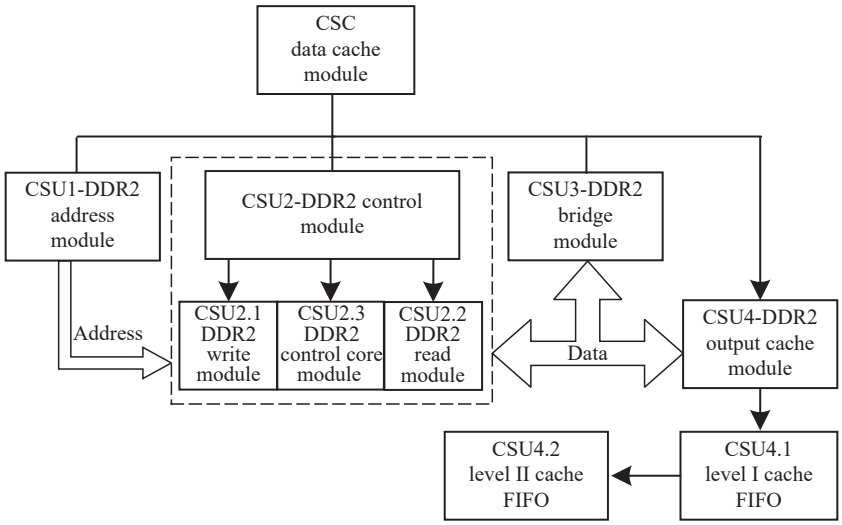

图 4 DDR2 模块设计架构

Fig. 4 Architecture of DDR2 module design

中且 DDR2 后端输出缓存 FIFO 空间大于 1 页数据量时, 启动 DDR2 读状态机。读取时, FPGA 首先根据待读取文件的类型, 产生 DDR2 的读地址, 完成一页数据读取并写入 DDR2 输出缓存 FIFO, 等待后端组成 tlk2711 传输帧, 将数据发送出去。

4 结果分析

高速收发缓存系统的硬件设计如图 5 所示。其中芯片 1 为控制 FPGA, 采用 Xilinx 公司的 XQ4VSX55, 逻辑资源为 550 万门, 内置 BLOCK RAM 资源为 5760 kbit, 工作频率不小于 300 MHz; 芯片 2 为高速缓存器, 采用欧比特公司的 DDR2-SDRAM 缓存数据, 芯片型号为 VD2 D4 G72 RX191 SS3 U6, 芯片总容量为 64 Mx72 bit, 最高工作频率 300 MHz; 芯片 3 和芯片 4 是高速串口收发器, 采用 TI 公司研发的千兆高速收发器件 tlk2711, 支持 1.6～2.5 Gbit·s^{-1} 的串行数据传输速率(宇航级)。整个系统的吞吐能力达到 6.4 Gbit·s^{-1}, 缓存能力达到 9.6 Gbit·s^{-1}。

4.1 仿真测试

设计 FPGA 开发采用 Xilinx 公司的 ISE 14.7, 仿真调用 ModelSim 10.2 软件。仿真结构设计如图 6 所示。Testbench 模拟外部时钟信号和复位信号输入系统, 并模拟载荷产生符合 tlk2711 帧格式的数据包, 其中每个数据包由 2017×16 bit 组成; 此外, 仿真中的 DDR2 模型由 MIG 核内部生成。

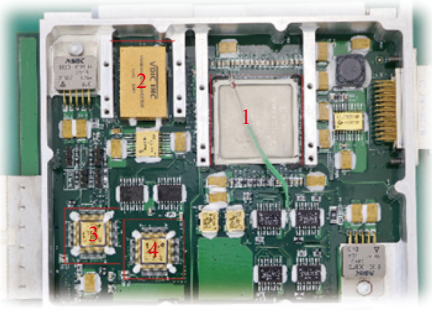

图 5 硬件设计

Fig. 5 Design of hardware

图 7 和图 8 为高速串行数据接收过程中, 高速串行数据经 tlk2711 完成 10 b/8 b 解析后, 输入 FPGA 的并行数据与控制信号 rklsb/rkmsb 的逻辑关系和相位关系。其中 0x55aa 为对应数据包类型, we_inf_rsinfifo 为该数据文件对应 FIFO 的写信号, 而 data_out 为该数据包的有效数据。由仿真波形可知, 高速串行数据流经过格式解析后, 根据数据包类型, 能够存入对应的 FIFO 中, 等待进一步处理。

图 9～12 分别为 DDR2 的写过程和读过程。DDR2 外部接口为 32 bit, 内部采用双沿采样, 数据接口变为 64 bit。DDR2 的读写操作采用 8 bit 突发模式。图中, app_af_addr 为 DDR 用户接口地址信号, app_af_wren 为对应的写使能信号, 每次写使能信号有效期间, 将自主完成 8 个地址的写操作, 与之对应的 app_wdf_wren/app_wdf_rd 则为数据的写

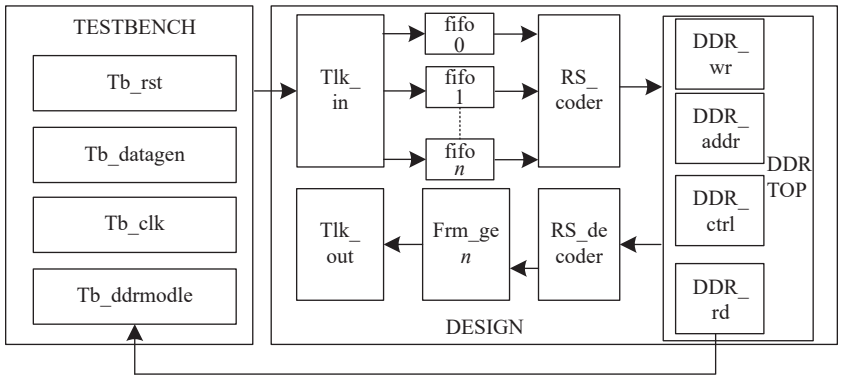

图 6 仿真结构设计

Fig. 6 Design of simulation structure

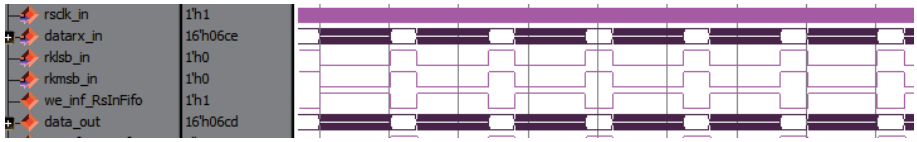

图 7 高速串行接口接收数据（1）

Fig. 7 Receiving data of SerDes(1)

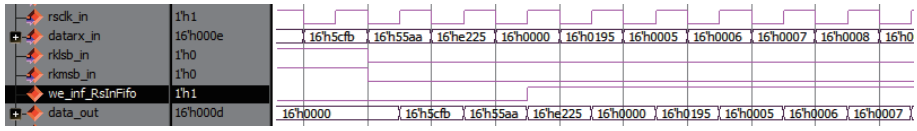

图 8 高速串行接口接收数据（2）

Fig. 8 Receiving data of SerDes(2)

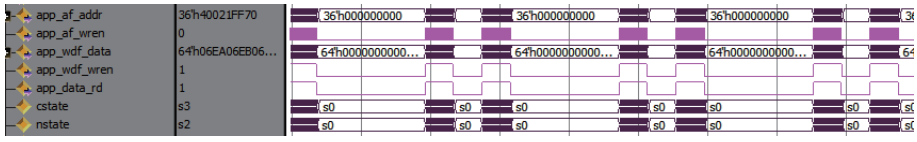

图 9 DDR2 写过程（1）

Fig. 9 Write process of DDR2(1)

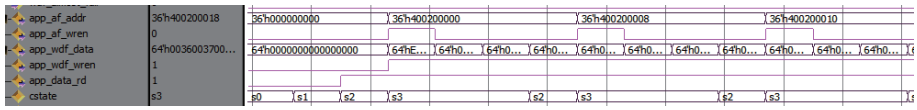

图 10 DDR2 写过程（2）

Fig. 10 Write process of DDR2(2)

信号/读信号，app_wdf_data 为有效数据。在读写过程的仿真结果中，地址控制模块每次产生 128 个连续地址，完成 1000×32 bit 数据的写入或者读取。

通过以上 DDR2 的写仿真和读仿真结果可知，系统在 150 MHz 时钟下，以 9.6 Gbit·s^{-1} 缓存吞吐率，不仅能够正确完成 3.2 Gbit·s^{-1} 高速串行数据的传输帧解析，以类文件化的方式完成数据缓存，而且在卫星入境时，能够将数据按文件类别读出并组织成标准

CCSDS AOS 传输帧, 完成数据下传。仿真结果与设计一致。

4.2 眼图测试

眼图是数字信号在示波器上经过一段时间累计而形成的图形, 其原理是采用余辉的方式将采集到的串行信号比特位进行长时间叠加累积。通过眼图中眼高、眼宽、交叉比、Q 因子、抖动等参数可以得到信号码间串扰和信号传输过程中受噪声的影响, 对高速串行数据的分析研究具有重要意义。通过安捷伦示波器对系统发送的高速串行数据进行眼图测量, 采样频率设置为 4.2 GHz。主要参数列于表 1, 其中眼图 1 中参数为未采用 SSLLP 的测量结果, 眼图 2 中参数为采用 SSLLP 的测量结果。

对于从示波器直接测得的眼宽(Eye Width)、眼高(Eye Height)、0 电平和 1 电平等参数, 采用 SSLLP 传输的数据比未采用该协议时分别提高了 17.2 ps, 0.102 V, 36.3 mV 和 52.1 mV; 经示波器进一步计算, 得出二阶参数 Q 因子(Q Factor)、交叉比(Crossing Ratio)等指标分别提高了 0.24% 和 0.2%, 相应的抖动(Jitter)和占空比失真(DutCyc)则分别降低了 19.6 ps 和 0.2%。因此, 在测试结果中, 采用传输协议的信号无论是眼高、眼宽等直采结果还是 Q 因子、交叉比、抖动等二阶计算结果均优于未采用传输协议的信号。采用 SSLLP 协议在 D 码的传输过程中, 利用 K 码完成帧起始和帧结束的判断, 并适当插入 K 码进行码流同步, 这对高速串行数据传输的可靠性具有积极意义。

5 结论

由于系统要求同时支持 2 路高速串行数据的收发, 因此本设计在硬件上只有 2 路 tlk2711, 支持入口最大并行速率为 3.2 Gbit·s^{-1}。如果硬件上设计更多

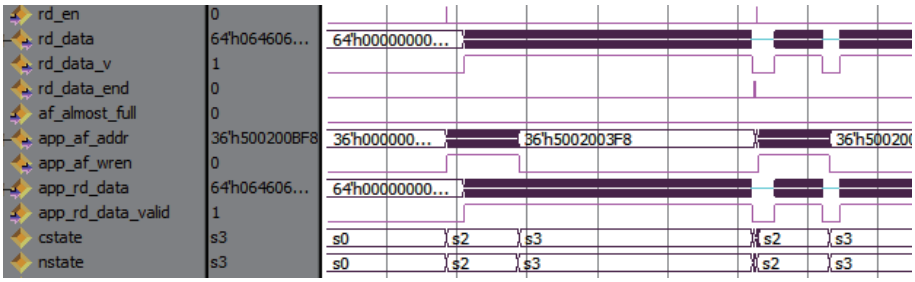

图 11 DDR2 读过程(1)

Fig. 11 Reading process of DDR2(1)

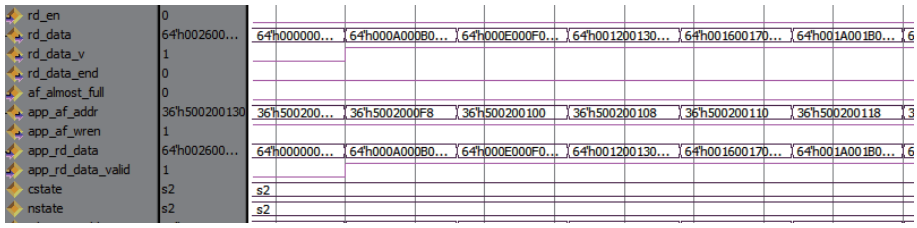

图 12 DDR2 读过程(2)

Fig. 12 Reading process of DDR2(2)

表 1 眼图信息对比

Table 1 Eye diagram information comparison

Parameter	Eye width/ ps	Eye height/ mV	Eye zero/ mV	Eye one/ mV	Eye jit/ ps	Data rate/ (bit·s^{-1})	Q-factor	Crossing/ (%)	DutCyc dist/(%)
Eye Display 1	435.6	970	771.4	756.9	151.3	1.60	12.2	48.6	7
Eye Display 2	452.8	1072	807.7	809	131.7	1.60	12.44	48.8	6.8

的 tlk2711 芯片，则可在 FPGA 程序中例化更多 tlk2711 接口控制模块，使设计具备支持更高载荷入口速率的能力。此外，在 DDR2 的使用上，本设计仅采用 150 MHz 输入时钟信号，32 bit 数据线宽，理论吞吐率达到 9.6 Gbit·s^{-1}，满足设计要求。然而该 DDR2 支持的最高输入时钟为 300 MHz，位宽最大为 64 bit，理论吞吐率为 38.4 Gbit·s^{-1}。因此，本设计无论是硬件结构还是软件策略，在星载高速数据的收发和缓存方面都具有很大工程应用潜力。随着遥感卫星图像数据速率的提升，高速串行数据接口以其功耗低、链路精度高、抗干扰能力强等优点[15]，逐渐成为星载数据处理接口的主要解决方案。本设计将为星载高速数据系统的设计和验证提供重要参考。

参考文献

[1] FANG Yiping, BO Yun. Application practice and thinking of communication navigation remote sensing satellite[J]. *Defence Science & Technology Industry*, 2021 (3): 52-55 (方忆平, 柏芸. 通信导航遥感卫星应用实践与思考[J]. 国防科技工业, 2021(3): 52-55)

[2] LIANG Xiaoheng, LIANG Xiujuan, KE Bei. The development path of romote sensing satellite system in China[J]. *Spacecraft Environment Engineering*, 2021, **38**(1): 100-105 (梁晓珩, 梁秀娟, 柯蓓. 我国遥感卫星系统发展进阶路径探讨[J]. 航天器环境工程, 2021, **38**(1): 100-105)

[3] ZHANG Qingjun. System design and key technologies of the GF-3 satellite[J]. *Acta Geodaetica et Cartographica Sinica*, 2017, **46**(3): 269-277 (张庆君. 高分三号卫星总体设计与关键技术[J]. 测绘学报, 2017, **46**(3): 269-277)

[4] WANG Lianguo, ZHU Yan, SHEN Weihua, *et al*. Centralized payload management system for dark matter particle explorer satellite[J]. *Chinese Journal of Space Science*, 2018, **38**(4): 567-574 (王连国, 朱岩, 沈卫华, 等. 暗物质粒子探测卫星的集中式载荷管理系统[J]. 空间科学学报, 2018, **38**(4): 567-574)

[5] SUN Yunzhu, JIANG Guangwei, LI Yundun, *et al*. GF-5 satellite system design and technological characteristics [J]. *Aerospace Shanghai*, 2019, **36**(S2): 1-13 (孙允珠, 蒋光伟, 李云端, 等. 高分五号卫星方案设计与技术特点[J]. 上海航天, 2019, **36**(S2): 1-13)

[6] LIU Hui, JIANG Tong, GUO Qiang, *et al*. Research on efficient high-speed data transmission technology for GF-5 satellite[J]. *Aerospace Shanghai*, 2019, **36**(S2): 30-36 (刘辉, 姜通, 郭强, 等. 高分五号卫星高效高速数据传输技术研究[J]. 上海航天, 2019, **36**(S2): 30-36)

[7] ZHENG Xiaosong, LI Li, ZHANG Yu, *et al*. Design and verification of data processing and transmission subsystem on GF-7 satellite[J]. *Spacecraft Engineering*, 2020, **29**(3): 74-81 (郑小松, 李立, 张雨, 等. 高分七号卫星数据处理与传输分系统设计与验证[J]. 航天器工程, 2020, **29**(3): 74-81)

[8] YU Zhiheng, YE Junming, DENG Diwen. A design of high speed and deep asynchronous FIFO based on FPGA and DDR2 SDRAM[J]. *Microcomputer & Its Applications*, 2011, **30**(4): 34-36,40 (庾志衡, 叶俊明, 邓迪文. 基于FPGA与DDR2 SDRAM的大容量异步FIFO缓存设计[J]. 微型机与应用, 2011, **30**(4): 34-36,40)

[9] HAN Xiao, YAN Yongli, LI Yongbin, *et al*. The design of DDR2-SDRAM controller user interface based on FPGA[J]. *Electronic Design Engineering*, 2021, **29**(1): 168-171,176 (韩笑, 闫永立, 李勇彬, 等. 基于FPGA的DDR2_SDRAM控制器用户接口设计[J]. 电子设计工程, 2021, **29**(1): 168-171,176)

[10] ZHANG Mei, DU Hui, GUAN Hui, *et al*. Design of satellite high-speed serial data interface based on TLK2711[J]. *Spacecraft Engineering*, 2015, **24**(6): 13-19 (张媚, 杜辉, 关晖, 等. 基于TLK2711的遥感卫星高速串行载荷数据接口设计[J]. 航天器工程, 2015, **24**(6): 13-19)

[11] LÜ Wenqiang, SHI Rui, REN Yongfeng, *et al*. Research on high speed data cache technology based on DDR2 SDRAM[J]. *Electronic Measurement Technology*, 2020, **43**(18): 6-10 (吕文强, 施睿, 任勇峰, 等. 基于DDR2 SDRAM的高速数据缓存技术研究[J]. 电子测量技术, 2020, **43**(18): 6-10)

[12] Texas Instruments Incorporated. Tlk2711-SP 1.6-Gbps To 2.5-Gbps Class V Transceiver[Z]. Texas: Texas Instruments Incorporated, 2012

[13] SHEN Jingyu. Design and Verification of 8 b/10 b Code Circuit Based on SerDes Chip[D]. Chengdu: University of Electronic Science and Technology of China, 2011 (沈竞宇. 基于SerDes芯片8 b/10 b编解码电路的设计及验证[D]. 成都: 电子科技大学, 2011)

[14] YU Da, LIU Jinguo, XU Dong, *et al*. Design of multi channel high-speed serial image data transmission system based on TLK2711[J]. *Chinese Journal of Liquid Crystals and Displays*, 2017, **32**(10): 815-821 (余达, 刘金国, 徐东, 等. 多路基于TLK2711高速串行图像数据的传输系统[J]. 液晶与显示, 2017, **32**(10): 815-821)

[15] DU Xu, YU Yang, HUANG Jian. Design and implementation of high-speed serial transmission interface based on FPGA[J]. *Computer Engineering and Applications*, 2007, **43**(12): 94-96 (杜旭, 于洋, 黄建. 基于FPGA的高速串行传输接口的设计与实现[J]. 计算机工程与应用, 2007, **43**(12): 94-96)